

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-031450
(43)Date of publication of application : 28.01.2000

(51)Int.Cl. H01L 27/146
H04N 5/335

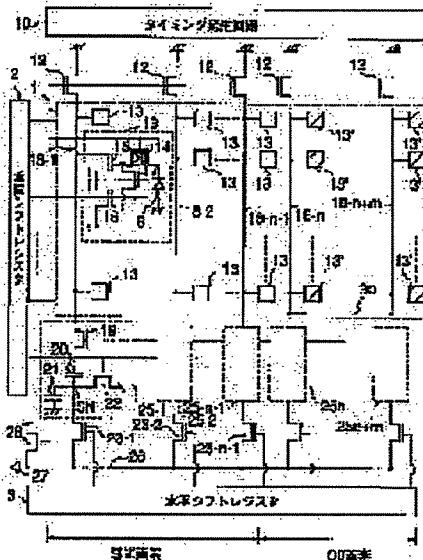
(21)Application number : 10-194586 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 09.07.1998 (72)Inventor : OSAWA SHINJI
ENDO YUKIO
EGAWA YOSHITAKA

(54) SOLID-STATE IMAGE-PICKUP DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To uniform outputs from a black reference pixel part which may show dispersion with pixels and to reduce fixed pattern noise which shows dispersion by each horizontal line.

SOLUTION: A solid-state image-pickup device is provided with a cell region 1 which consists of plural unit cells including a photodiode 8, which are disposed in matrix on a semiconductor substrate and forms photosensitive pixel parts 13 which contribute to image-pickup and black reference pixel parts 13' for determining the level of black reference, a vertical shift register 2 for selecting a unit cell in the cell region 1 for every horizontal line and plural vertical signal lines 18 (18-1 to 18-n to 18-(n+m)), through which the signals of the unit cells selected by turning on of an address transistor 16 by the vertical shift register 2 are read. In this case, the vertical signal lines 18-n to 18-(n+m) in the black reference pixel part 13' are connected with wiring 30.



LEGAL STATUS

[Date of request for examination] 09.07.2001

[Date of sending the examiner's decision of rejection] 02.03.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3571924

[Date of registration] 02.07.2004

[Number of appeal against examiner's decision of rejection] 2004-0664

[Date of requesting appeal against examiner's decision of rejection] 01.04.2004

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-31450

(P2000-31450A)

(43)公開日 平成12年1月28日(2000.1.28)

(51)Int.Cl.⁷

H 01 L 27/146

H 04 N 5/335

識別記号

F I

テマコード(参考)

H 01 L 27/14

H 04 N 5/335

A 4 M 1 1 8

Z 5 C 0 2 4

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21)出願番号

特願平10-194586

(22)出願日

平成10年7月9日(1998.7.9)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 大澤 慎治

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

(72)発明者 遠藤 幸雄

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

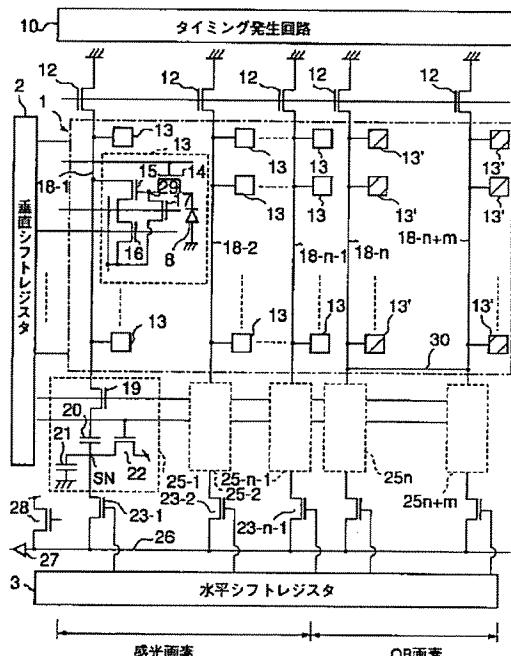
最終頁に続く

(54)【発明の名称】 固体撮像装置

(57)【要約】

【課題】 黒基準画素部の出力が各画素毎にばらついてもこれを均一化させ、横1ライン毎にばらつく固定パターン雑音の低減をはかる。

【解決手段】 半導体基板上にフォトダイオード8を含む複数の単位セルをマトリックス状に配置してなり、撮像に寄与する感光画素部13と黒基準のレベルを決定するための黒基準画素部13'を構成したセル領域1と、このセル領域1の各単位セルを水平ライン毎に選択する垂直シフトレジスタ2と、この垂直シフトレジスタ2によりアドレストランジスタ16をオンすることで選択された単位セルの各信号がそれぞれ読み出される複数の垂直信号線18(18-1, ~, 18-n, ~, 18-(n+m))とを備えた固体撮像装置において、黒基準画素部13'における垂直信号線18-n, ~, 18-(n+m)を配線30で接続した。



【特許請求の範囲】

【請求項1】半導体基板上に光電変換素子を含む複数の単位セルをマトリックス状に配置してなり、撮像に寄与する感光画素部と黒基準のレベルを決定するための黒基準画素部とを構成した撮像手段と、この撮像手段の各単位セルを水平ライン毎に選択する選択手段と、この選択手段により選択された単位セルの各信号がそれぞれ読み出される複数の垂直信号線とを備えた固体撮像装置であって、

前記黒基準画素部における垂直信号線の少なくとも2本を電気的に接続してなることを特徴とする固体撮像装置。
10

【請求項2】前記黒基準画素部の垂直信号線のうち、前記感光画素部側の少なくとも1本は、前記黒基準画素部の他の垂直信号線と電気的に非接続とされることを特徴とする請求項1記載の固体撮像装置。

【請求項3】前記黒基準画素部の垂直信号線のうち、前記感光画素部側の少なくとも1本と、前記感光画素部と反対側の少なくとも1本は、前記黒基準画素部の他の垂直信号線と電気的に非接続とされることを特徴とする請求項1記載の固体撮像装置。
20

【請求項4】半導体基板上に光電変換素子を含む複数の単位セルをマトリックス状に配置してなり、撮像に寄与する感光画素部と黒基準のレベルを決定するための基準レベルの互いに異なる複数の黒基準画素部とを構成した撮像手段と、この撮像手段の各単位セルを水平ライン毎に選択する選択手段と、この選択手段により選択された単位セルの各信号がそれぞれ読み出される複数の垂直信号線とを備えた固体撮像装置であって、

前記基準レベルの互いに異なる複数の黒基準画素部でそれぞれ得られる信号を平均化した信号レベルの黒基準信号を生成させる信号レベル平均化手段を設けてなることを特徴とする固体撮像装置。
30

【請求項5】前記信号レベル平均化手段は、前記基準レベルの互いに異なる複数の黒基準画素部の各垂直信号線を電気的に接続する配線であることを特徴とする請求項4記載の固体撮像装置。

【請求項6】前記信号レベル平均化手段は、前記基準レベルの互いに異なる複数の黒基準画素部からそれぞれ垂直信号線を通じて読み出された各信号を合成することで、信号レベルを平均化する処理を行う信号処理部であることを特徴とする請求項4記載の固体撮像装置。
40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フォトダイオード等の光電変換素子により得られた信号電荷を増幅して取り出す増幅型の固体撮像装置に係わり、特に黒基準レベルを決めるための黒基準画素部の改良をはかった固体撮像装置に関する。

【0002】

【従来の技術】近年、固体撮像装置の一つとして、CMOSセンサを用いた固体撮像装置が提案されている。この固体撮像装置は、各セル毎に光電変換素子（フォトダイオード）で検出した信号をトランジスタで増幅するものであり、高感度という特徴を持つ。具体的には、光電変換により発生した信号電荷で信号電荷蓄積部の電位を変調し、その電位を画素内部の増幅トランジスタで増幅することで画素内部に増幅機能を持たせており、画素数の増加やイメージサイズの縮小による画素サイズの縮小に適したCMOS型イメージセンサとして期待されている。

【0003】この種のCMOS型イメージセンサの従来例を、図10に示す。図中の1はセル領域、2は垂直シフトレジスタ、3は水平シフトレジスタ、10はタイミング発生回路を示している。セル領域1内には複数の単位セル13が配置され、各々の単位セル13は、フォトダイオード8、リードトランジスタ14、ソースホロワのドライブトランジスタ15、アドレストランジスタ16、リセットトランジスタ17から構成されている。

【0004】単位セル13で得られた信号電荷は垂直信号線18に読み出され、ノイズキャンセラ25に供給される。ノイズキャンセラ25は、S/H用トランジスタ19、信号伝達用コンデンサ20、信号蓄積用コンデンサ21、クランプトランジスタ22から構成されている。ノイズキャンセラ25に一時的に保存された信号は、水平読み出しトランジスタ23により水平信号線26に読み出され、出力アンプ27を通して出力される。なお、図中の12は負荷トランジスタ、28は水平リセットトランジスタ、29はフォトダイオード8に蓄積された信号電荷の検出部を示している。

【0005】単位セル13はその大部分が撮像に寄与する感光画素を構成しているが、一部は黒基準のレベルを発生するための黒基準画素（Optical Black：OB）13'を構成している。そして、このOB画素13'のフォトダイオードの上をアルミの層などで覆っている。

【0006】ここで、光を遮蔽させたOB画素13'からなるOB領域は、撮像信号の黒レベル即ち暗電流を規定するために必要なものである。即ち、固体撮像装置においては、光を入射しない場合にも固体撮像装置を構成する半導体内で熱的に電荷が発生し、この電荷が光によって生成した信号電荷と共に各画素のフォトダイオードに蓄積される。従って、光の信号電荷のみを検出するため、光を遮蔽した画素を設けて、この画素により熱的な信号電荷の成分を抽出する必要があるからである。

【0007】ところで、従来のCMOS型イメージセンサでは、図11に示すように、画素毎に発生する暗電流による信号レベルのばらつきがOB画素の中にもあり、黒基準信号が2mV程度ばらついていた。このようなばらつきのある信号を、図12に示すように、イメージセンサの信号処理回路に通す場合について説明する。

【0008】まず、イメージセンサ70より出力された信号は、信号線73の上で、図13(a)に示すような波形をしている。信号には、感光画素からの信号78とOB画素からの信号79があり、それぞれリセットレベル76と信号レベル77から構成されている。次に、CDS(Correlation Double Sampling)回路71を通った信号線74上の信号波形を、図13(b)に示す。CDS回路71はリセットレベル76と信号レベル77の差分を取る回路なので、CDS71の出力信号波形には信号分のみが現れる。そして、クランプ回路72でOB画素からの信号(OB基準レベル)79をクランプし、映像信号を出力していく。クランプされた信号波形を、図13(c)に示す。

【0009】しかしながら、この種のCMOS型イメージセンサにあっては、次のような問題があった。即ち、信号処理する過程でOB画素の中に暗電流による信号レベルのばらつきがあると、クランプ回路72で感光画素からの信号をクランプする際に、各横ラインで黒基準値がばらついてしまう。そして、このばらつきが横1ライン状の固定パターン雑音を発生させてしまう問題があつた。

【0010】

【発明が解決しようとする課題】このように従来、CMOSセンサを用いた増幅型の固体撮像装置においては、暗電流の黒基準を定めるための黒基準画素部で得られる黒基準信号が各画素毎にばらつくため、横1ライン状の固定パターン雑音を発生させてしまう問題があつた。

【0011】本発明は、上記事情を考慮して成されたもので、その目的とするところは、黒基準画素部の出力が各画素毎にばらついてもこのばらつきによる問題を十分に回避することができ、横1ライン毎にばらつく固定パターン雑音の低減をはかり得る固体撮像装置を提供することにある。

【0012】

【課題を解決するための手段】(構成)上記課題を解決するために本発明は、次のような構成を採用している。即ち本発明は、半導体基板上に光電変換素子を含む複数の単位セルをマトリックス状に配置してなり、撮像に寄与する感光画素部と黒基準のレベルを決定するための黒基準画素部とを構成した撮像手段と、この撮像手段の各単位セルを水平ライン毎に選択する選択手段と、この選択手段により選択された単位セルの各信号がそれぞれ読み出される複数の垂直信号線とを備えた固体撮像装置であつて、前記黒基準画素部における垂直信号線の少なくとも2本を電気的に接続してなることを特徴とする。

【0013】ここで、本発明の望ましい実施態様としては次のものがあげられる。

(1) 垂直信号線に接続され単位セルからの信号を一時的に保存する信号保存手段と、この信号保存手段の信号を順次選択して読み出す信号読み出し手段を設けたこと。

信号保存手段は、ノイズキャンセル機能を有すること。

【0014】(2) 黒基準画素部の垂直信号線のうち、感光画素部側の少なくとも1本は、黒基準画素部の他の垂直信号線と電気的に非接続とされること。

(3) 黒基準画素部の垂直信号線のうち、感光画素部側の少なくとも1本と、感光画素部と反対側の少なくとも1本は、黒基準画素部の他の垂直信号線と電気的に非接続とされること。

【0015】また本発明は、半導体基板上に光電変換素子を含む複数の単位セルをマトリックス状に配置してなり、撮像に寄与する感光画素部と黒基準のレベルを決定するための基準レベルの互いに異なる複数の黒基準画素部とを構成した撮像手段と、この撮像手段の各単位セルを水平ライン毎に選択する選択手段と、この選択手段により選択された単位セルの各信号がそれぞれ読み出される複数の垂直信号線とを備えた固体撮像装置であつて、前記基準レベルの互いに異なる複数の黒基準画素部でそれぞれ得られる信号を平均化した信号レベルの黒基準信号を生成させる信号レベル平均化手段を設けてなることを特徴とする。

【0016】ここで、本発明の望ましい実施態様としては次のものがあげられる。

(1) 信号レベル平均化手段は、基準レベルの互いに異なる複数の黒基準画素部の各垂直信号線を電気的に接続する配線であること。

(2) 信号レベル平均化手段は、基準レベルの互いに異なる複数の黒基準画素部からそれぞれ垂直信号線を通じて読み出された各信号を合成することで、信号レベルを平均化する処理を行う信号処理部であること。

【0017】(作用)本発明によれば、黒基準画素部における垂直信号線の少なくとも2本を電気的に接続することにより、接続した垂直信号線の電位レベルを揃えることができる。例えば黒基準画素部の1つの画素に大きなばらつきがあったとしても、他の画素の垂直信号線との接続によりこれを相殺することができる。従って、黒基準画素部の出力が各画素毎にばらついていてもこれを均一化させることができ、横1ライン毎にばらつく固定パターン雑音を低減させることができる。

【0018】また、黒基準画素部の垂直信号線のうち感光画素部側の少なくとも1本を黒基準画素部の他の垂直信号線とは電気的に接続させないようにすることにより、感光部側から入ってくる光の漏れ混みによる信号の影響を無くすことができる。さらに、黒基準画素部の垂直信号線のうち感光画素部と反対側の少なくとも1本も黒基準画素部の他の垂直信号線とは電気的に接続させないようにすることにより、感光部とは反対側の周辺部から入ってくる光漏れ混みによる信号の影響も無くすことができる。

【0019】さらに本発明によれば、黒基準のレベルの異なる複数の黒基準画素部を配し、例えば黒基準画素部

の一つにつき暗電流を十分に小さく設定した上で、複数の黒基準画素部でそれぞれ得られる信号を平均化した信号レベルの黒基準信号を生成させる手段を設けることにより、黒基準信号のレベルをより小さくすることが可能となる。また、これらの複数の黒基準画素部の垂直信号線を配線により電気的に接続することにより、上記と同様の効果が得られるのは勿論のこと、黒基準画素部の出力が各画素毎にばらついていても、これを均一化させることができとなる。さらに、複数の黒基準画素部からそれぞれ垂直信号線を通じて読み出された各信号を合成することで、信号レベルを平均化する処理を行う信号処理部を設けることによっても、上記と同様の効果が得られる。

【0020】

【発明の実施の形態】以下、本発明の詳細を図示の実施形態によって説明する。

(第1の実施形態) 図1は、本発明の第1の実施形態に係るCMOS型イメージセンサを示す回路構成図である。

【0021】図中の1はセル領域(撮像手段)、2は垂直シフトレジスタ、3は水平シフトレジスタ、10はタイミング発生回路を示している。セル領域1内には、複数の単位セル13がマトリックス状に配置されている。各々の単位セル13は、光電変換部としてのフォトダイオード8、フォトダイオード13の蓄積電荷を読み出すためのリードトランジスタ14、後述する負荷トランジスタ12と共にソースホロワを構成し、読み出された蓄積電荷を増幅して出力するドライバトランジスタ15、読み出すべきラインを選択するためのアドレストランジスタ16、及びフォトダイオード8の電荷をリセットするためのリセットトランジスタ17から構成されている。

【0022】単位セル13で得られた信号電荷は、負荷トランジスタ12及びドライバトランジスタ15からなるソースホロワにより垂直信号線18(18-1, ~, 18-(n-1))にそれぞれ読み出され、ノイズキャンセラ25(25-1, ~, 25-(n-1))にそれぞれ供給される。ノイズキャンセラ25は、信号保持手段として垂直信号線18に読み出された信号電荷を一時的に記憶と共に、デバイス固有のノイズを除去するもので、S/H用トランジスタ19、信号伝達用コンデンサ20、信号蓄積用コンデンサ21、及びクランプトランジスタ22から構成されている。

【0023】ノイズキャンセラ25に一時的に記憶されノイズが除去された信号は、信号読み出し手段としての水平シフトレジスタ3により順次選択されて、それぞれ水平読み出しトランジスタ23(23-1, ~, 23-(n-1))を通じて水平信号線26に読み出され、出力アンプ27を通して出力されるようになっている。なお、水平信号線26には、その電位をリセットするための水

平リセットトランジスタ28が接続されている。

【0024】単位セル13はその大部分が撮像に寄与する感光画素を構成しているが、一部は黒の基準信号を発生するOB画素13'を構成している。そして、このOB画素13'のフォトダイオードの上はアルミの層などで覆われている。また、OB画素13'に対しても感光画素13と同様に、垂直信号線18(18-n, ~, 18-(n+m))、ノイズキャンセラ25(25-n, ~, 25-(n+m))、水平読み出しトランジスタ23(23-n, ~, 23-(n+m))が設けられている。

【0025】このような構成において、単位セル13のフォトダイオード8内に入射した光は、光電変換され信号電荷としてフォトダイオード8内に蓄積される。単位セル13の選択は、選択手段である垂直シフトレジスタ2により横1ライン同時にアドレストランジスタ16をONすることで行われる。リセットトランジスタ17をONすることで、信号のリセットレベルを信号伝達用コンデンサ20を通して信号蓄積用コンデンサ21に伝えられる。このとき、クランプトランジスタ22をONすることで、コンデンサ21の電圧レベルを横方向全ライン均一に揃える。

【0026】そして、リードトランジスタ14をONすることで信号を検出部29に読み出し、その電圧変化をソースホロワのドライバトランジスタ15を通して各垂直信号線18に出力する。なお、このとき、ソースホロワの負荷トランジスタ12はセル領域1外に配置され、DC電圧が印加されており、各ラインのセル内にあるドライバトランジスタ15が負荷トランジスタ12を共有している。この信号電圧の変化は、S/H用トランジスタ19を通して信号蓄積用コンデンサ21に信号電圧変化分として蓄積される。そして、S/H用トランジスタ19及びアドレストランジスタ16をOFFすることでノイズキャンセラ25とセル領域1を切り離し、セルの非選択化を行う。

【0027】この一連の動作が終わった後、水平信号線26の電圧を水平リセットトランジスタ28によりリセットし、水平読み出しトランジスタ23を順次ONしていくことで信号を水平信号線26に読み出し、出力アンプ27を通して出力する。そして、横1ラインの信号読み出しが終わったら、次のラインを同様に読み出していく。

【0028】ここまで基本的な構成及び動作は前記図10に示した従来装置と同様であるが、本実施形態では、黒基準画素部の各垂直信号線を共通接続している点が従来装置と異なっている。即ち、OB画素部の垂直信号線18-n, ~, 18-(n+m)は、セル領域1内でアルミ等の配線30により電気的に接続されている。

【0029】本実施形態の構成であれば、OB画素部の垂直信号線18の電圧は、これらの垂直信号線18が共通接続されていることから、図2に示すように、OB画

素部内で均一化される。従って、OB画素部からの信号のクランプ時のばらつきが各横ライン間で非常に小さくできるため、横線状の固定パターン雑音が発生するのを防ぐことができる。そしてこの場合、従来のデバイス構造を大きく変化させることなく、垂直信号線接続用の配線30を付加するのみで、簡易に実現することが可能である。

【0030】(第2の実施形態)図3は、本発明の第2の実施形態に係わるCMOS型イメージセンサの黒基準画素部の構成を示す図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0031】本実施形態が、先に説明した第1の実施形態と異なる点は、OB画素部での垂直信号線18を配線30で電気的に接続する際に、OB画素部の垂直信号線18のうち感光部側の少なくとも1本(図3の例では18-n)を除外したことにある。そして、OB画素部の垂直信号線18のうち配線30で接続したもの(図3の例では18-(n+1), ~, 18-(n+m))で、黒基準レベルを決めている。

【0032】このような構成であれば、第1の実施形態と同様の効果が得られるのは勿論のこと、感光部側から入ってくる光の漏れ混みにより端のOB画素の電位が変動しても、その影響が黒基準レベルに及ぶのを防止でき、より安定した黒基準信号を得ることができる。

【0033】(第3の実施形態)図4は、本発明の第3の実施形態に係わるCMOS型イメージセンサの黒基準画素部の構成を示す図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0034】本実施形態が、先の第1の実施形態と異なる点は、OB画素部での垂直信号線18を配線30で電気的に接続する際に、OB画素部の垂直信号線のうち感光部側の少なくとも1本(図4の例では18-n)を除外し、さらにOB画素部の垂直信号線18のうち感光部と反対側の少なくとも1本(図4の例では18-(n+m))を除外したことにある。そして、OB画素部の垂直信号線18のうち配線30で接続したもの(図4の例では18-(n+1), ~, 18-(n+m-1))で、黒基準レベルを決めている。

【0035】このような構成であれば、第1の実施形態と同様の効果が得られるのは勿論のこと、感光部側から入ってくる光の混みにより端のOB画素の電位が変動しても、その影響が黒基準レベルに及ぶのを防止でき、さらに感光画素とは反対側の周辺部から入ってくる光漏れ混みにより端のOB画素の電位が変動しても、その影響が黒基準レベルに及ぶのを防止できる。このため、第2の実施形態以上に安定した黒基準信号を得ることができる。

【0036】(第4の実施形態)次に、本発明の第4の実施形態に係わるCMOS型イメージセンサについて説明する。本実施形態は、前記図1に示したOB画素部か

らの信号を、OB画素部の場所によって少なくとも2種類以上異なったレベルになるように設定したものである。

【0037】CMOS型イメージセンサにおいては、一般にデバイス温度が高くなるほど、特にOB画素部で暗電流が増加し、例えば図5に示すように、デバイス温度が60°Cになると、OB画素部での暗電流が感光画素部の信号レベル78よりも大きくなる。このため、感光画素部の信号レベル78よりもOB画素部の信号レベル79の方が信号レベル差80分だけ大きくなる。このとき、OB画素部の垂直信号線を接続すると、図6に示すように、レベルは一定になるが、OB画素部の信号レベルがやはり信号差80分だけ飛び出す。従って、黒基準信号より小さいレベルの信号を後の信号処理回路で受けられるように、より大きな回路マージンを取らなければならないと云う不利な点があった。

【0038】そこで本実施形態では、図7に示すように、OB画素部を2種類用意し、その信号レベルを2種類作っておく。具体的には、感光画素部と同様な構成のOB画素部(1)と、暗電流が小さくなる構成のOB画素部(2)との2種類を作成しておく。この場合、感光画素部の信号レベル78とOB画素部(1)の信号レベル79-1とのレベル差80-1、及び感光画素部の信号レベル78とOB画素部(2)の信号レベル79-2とのレベル差80-2が生じる。

【0039】そして、先の実施形態と同様に、セル領域内で配線により各OB画素部の垂直信号線を接続した場合には、図8に示すように、OB信号レベルが変化し、黒基準信号を感光画素部の信号レベル78より小さくすることが可能である。従って本実施形態では、黒基準信号より大きな信号のみを後の回路が受けられるようすればよいので、より小さな回路マージンで済む。

【0040】本実施形態におけるOB画素部の断面構成を、図9に示す。前記図7に示したOB画素部(1)は、例えば図9(a)に示すように構成されている。即ち、遮光膜100の下にフォトダイオード開口部101が設けられ、開口部101の下に光電変換により発生した電荷を蓄積するためのフォトダイオード(n型領域)103が形成されている。n型領域103は厚い酸化膜102によって分離され、分離帯となる酸化膜102の下には、より強力に分離するための不純物領域(p+型領域)104が形成されている。なお、フォトダイオード部は、例えばp型基板106上にp型ウェル105を形成し、このウェル105内に作成される。また、遮光膜100の下には絶縁膜107が形成されている。

【0041】一方、OB画素部(2)は、例えば図9(b)に示すように構成されている。これは、図9(a)の画素部より、n型領域103をなくしたものである。このようにn型領域103をなくせば、発生した暗電流の取り込みが少なくなり、より小さいレベルの信

号を得ることが可能となる。

【0042】(第5の実施形態) 次に、本発明の第5の実施形態について説明する。本実施形態は、第4の実施形態で説明した垂直信号線の接続をセル領域内又はデバイス内で行う代わりに、2つのOB画素部の出力をデバイス外部にそのまま取り出し、例えばデジタルデータ化した後に合成することで加算平均する処理を行う。

【0043】このような構成であっても、OB画素部(1)(2)の信号レベル79-1と79-2が最終的に足し合わされ、前記図8に示したように、黒基準信号レベルを感光画素部の信号レベルよりも下に設定することができる。従って、第4の実施形態と同様の効果が得られる。

【0044】なお、本発明は上述した各実施形態に限定されるものではない。画素を構成するフォトダイオードやトランジスタの構成は図1に何ら限定されるものではなく、仕様に応じて適宜変更可能である。通常は、光電変換素子としてのフォトダイオードと、增幅用のトランジスタと、リセット用のトランジスタと、選択用のトランジスタがあればよい。さらに、ノイズキャンセラの構成も図1に何ら限定されるものではなく、仕様に応じて適宜変更可能である。ノイズキャンセラなしでも十分なSN比が得られる場合は、ノイズキャンセラを省略することも可能である。

【0045】また、第4及び第5の実施形態では、黒基準レベルの互いに異なる2種類の黒基準画素部を設けたが、これに限らず3種類以上の黒基準画素部を設けるようにしてよい。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0046】

【発明の効果】以上詳述したように本発明によれば、黒基準画素部における黒基準信号を読み出すための垂直信号線の少なくとも2本を電気的に接続することにより、黒基準画素部の出力が各画素毎にばらついてもこれを均一化することができ、横1ライン毎にばらつく固定パターン雑音の低減をはかることが可能となる。

【0047】また、黒基準のレベルを決定するための基準レベルの互いに異なる複数の黒基準画素部を設け、これらの黒基準画素部の垂直信号線を電気的に接続、又は複数の黒基準画素部からそれぞれ垂直信号線を通じて読み出されたレベルの異なる複数の信号を合成することで、平均化した信号レベルの黒基準信号を生成することにより、黒基準信号のレベルを任意に設定することができる。

【図面の簡単な説明】

【図1】第1の実施形態に係わるCMOS型イメージセンサ示す回路構成図。

【図2】第1の実施形態において、OB画素部内で垂直信号線の電圧が均一化された状態を示す図。

【図3】第2の実施形態に係わるCMOS型イメージセンサの黒基準画素部の構成を示す図。

【図4】第3の実施形態に係わるCMOS型イメージセンサの黒基準画素部の構成を示す図。

【図5】従来のCMOS型イメージセンサにおける高温時の信号波形を示す図。

【図6】黒基準画素部の垂直信号線を接続したCMOS型イメージセンサにおける高温時の信号波形を示す図。

【図7】2種類の黒基準画素部を設けたCMOS型イメージセンサにおける信号波形を示す図。

【図8】2種類の黒基準画素部を設け、各々の黒基準画素部の垂直信号線を接続したCMOS型イメージセンサにおける信号波形を示す図。

【図9】CMOS型イメージセンサのOB画素部の断面構成を示す図。

【図10】従来のCMOS型イメージセンサを示す回路構成図。

【図11】従来のCMOS型イメージセンサの出力波形を示す図。

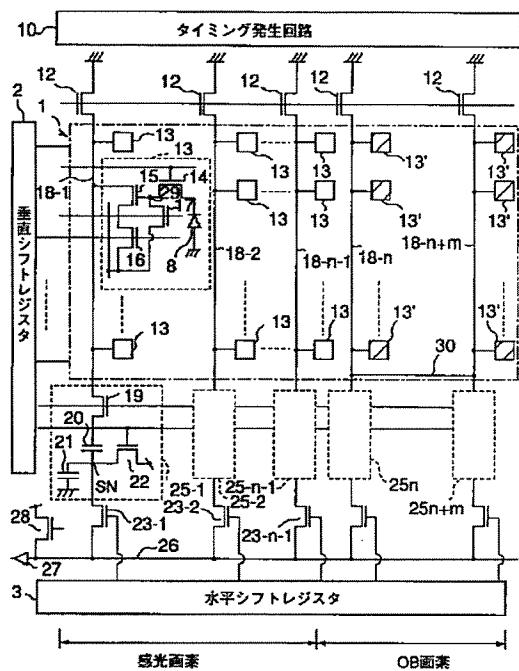
【図12】CMOS型イメージセンサに用いられる信号処理回路の例を示すブロック図。

【図13】図12の信号処理回路を用いた場合の信号処理波形を示す図。

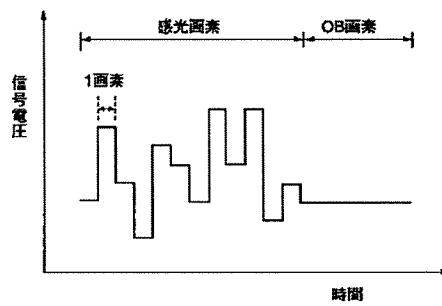
【符号の説明】

- 1…セル領域
- 2…垂直シフトレジスタ
- 3…水平シフトレジスタ
- 8…フォトダイオード
- 10…タイミング発生回路
- 12…ソースホロワの負荷トランジスタ
- 13…単位セル(感光画素)
- 13'…OB画素
- 14…リードトランジスタ
- 15…ソースホロワのドライバトランジスタ
- 16…アドレストランジスタ
- 17…リセットトランジスタ
- 18…垂直信号線
- 19…S/H用トランジスタ
- 20…信号伝達用コンデンサ
- 21…信号蓄積用コンデンサ
- 22…クランプトランジスタ
- 23…水平読み出しトランジスタ
- 25…ノイズキャンセラ
- 26…水平信号線
- 27…出力アンプ
- 28…水平リセットトランジスタ
- 29…検出部
- 30…配線

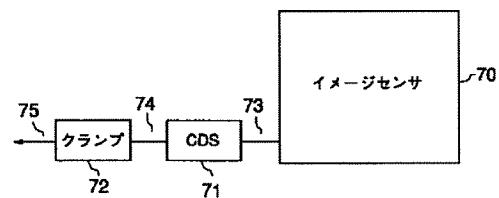
【図1】



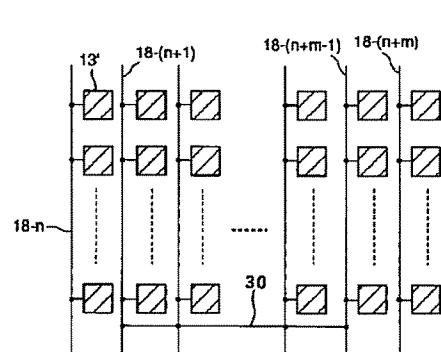
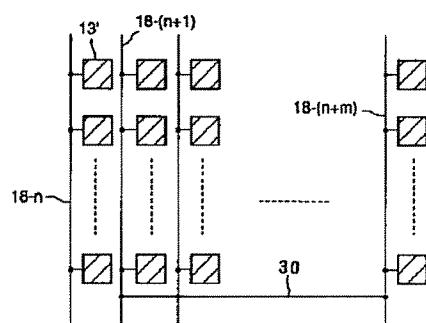
【図2】



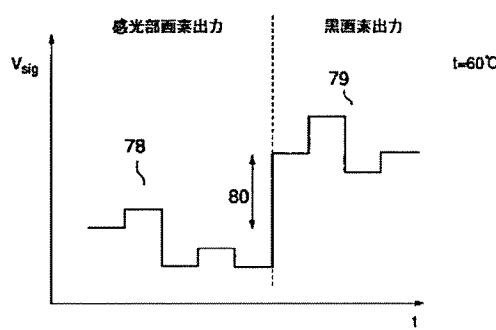
【図12】



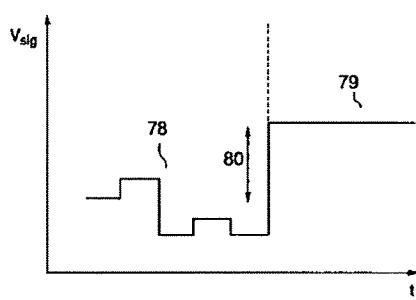
【図3】



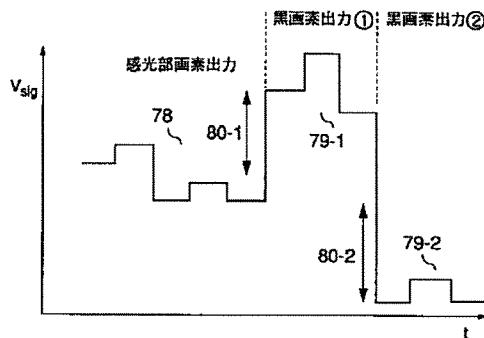
【図5】



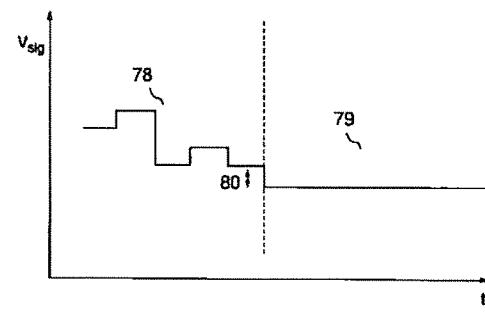
【図6】



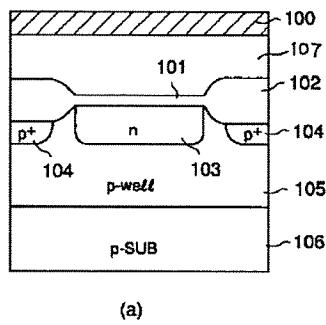
【図7】



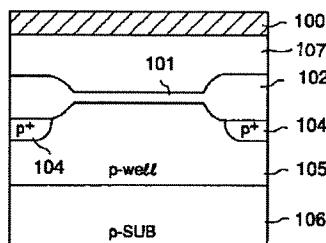
【図8】



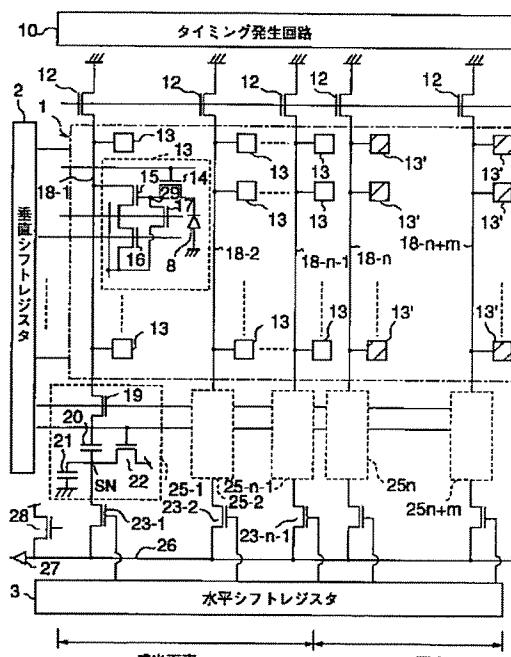
【図9】



(a)

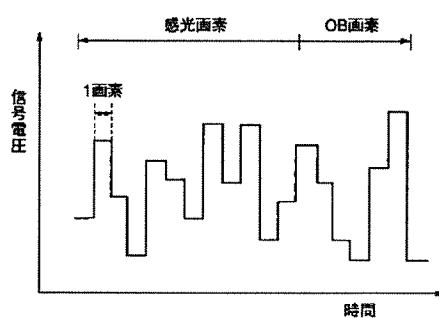


(b)

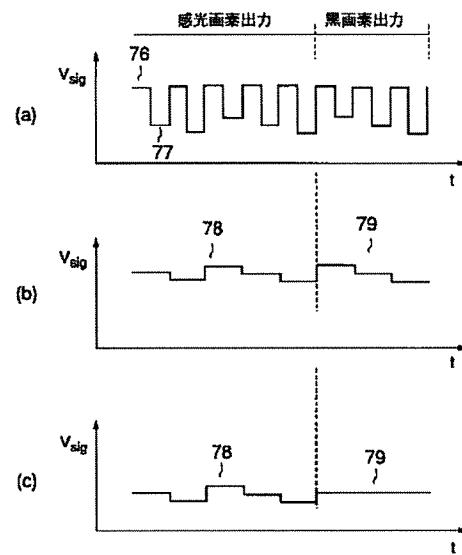


【図10】

【図11】



【図13】



フロントページの続き

(72)発明者 江川 佳孝

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

F ターム(参考) 4M118 AA05 AA06 AB01 BA14 CA03
FA06 FA26 FA28 FA42 GB03
GB09
5C024 AA01 CA06 CA14 FA01 FA11
GA01 GA31 GA52